

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329860

(43)Date of publication of application : 15.11.2002

(51)Int.Cl.

H01L 29/78

(21)Application number : 2001-245277

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 13.08.2001

(72)Inventor : LEE DA SOON

(30)Priority

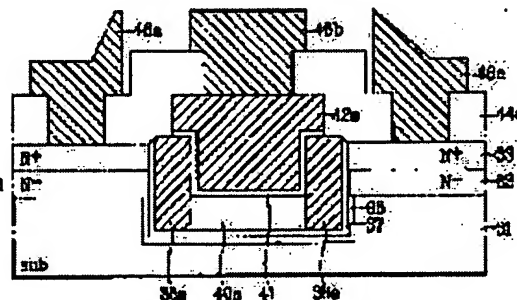
Priority number : 2001 200123182 Priority date : 28.04.2001 Priority country : KR

(54) HIGH VOLTAGE ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high voltage element in which breakdown voltage characteristic can be enhanced and the degree of integration can be enhanced by reducing the element size, and its manufacturing method.

SOLUTION: A drift region and a source/drain ion implanted region are formed on the surface part of a substrate, a trench is made deeper than the drift region in the substrate and a channel 36 is formed along the bottom face part of the trench. A conductive films 38a for buffer is formed on the opposite sides of the trench while being separated and a gate electrode 42a is formed in between through an insulation film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-329860

(P2002-329860A)

(43) 公開日 平成14年11月15日 (2002. 11. 15)

(51) Int. Cl.⁷
H01L 29/78

識別記号

FI
H01L 29/78

7-73-1 (参考)

301V 5F140

審査請求 未請求 請求項の数 8 OL (全 7 頁)

(21) 出願番号 特願2001-245277(P2001-245277)

(22) 出願日 平成13年8月13日 (2001. 8. 13)

(31) 優先権主張番号 2001-23182

(32) 優先日 平成13年4月28日 (2001. 4. 28)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙英里山136
- 1

(72) 発明者 ダ・スーン・リー

大韓民国・キョンギード・スウォン・シ・
バルダルク・マエヒャン・ドン・121-
89

(74) 代理人 100064621

弁理士 山川 政樹

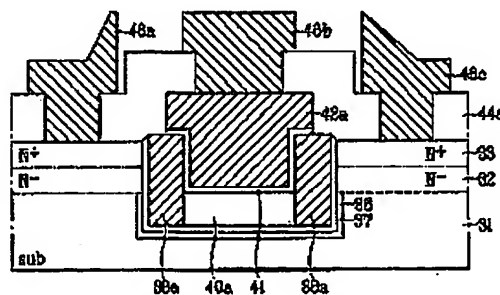
最終頁に続く

(54) 【発明の名称】 高電圧素子及びその製造方法

(57) 【要約】

【課題】 本発明は、耐電圧特性を向上させるとともに素子のサイズを小さくして集積度を向上させることができる高電圧素子及びその製造方法を提供する。

【解決手段】 本発明は、基板表面部にドリフト領域とソース/ドレインイオン注入領域とを形成させ、その基板にドリフト領域より深くトレンチを形成させ、そのトレンチの底面部分に沿ってチャンネル36を形成させる。そのトレンチの両側にバッファ用導電膜38aを分離して形成させ、その間にゲート電極42aを絶縁膜を介して形成させた。



特開2002-329860

4

【請求項8】 前記チャネル領域は窒素イオン注入工程からなることを特徴とする請求項6に記載の高電圧素子の製造方法。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、半導体素子及びその製造方法に関するもので、特に、ゲート電極に印加される高電圧に対する耐高電圧特性を向上させた高電圧素子及びその製造方法に関する。

【従来の技術】一般に、高電圧を用いる外部システムが集積回路によって制御される場合、集積回路は内部に高電圧制御のための素子が必要となる。そのような素子は高いブレイクダウン電圧を有する構造を必要とする。すなわち、高電圧が直接印加されるトランジスタのドレインまたはソースにおいてはドレイン及びソースと半導体基板間のパンチスルー電圧と、ドレイン及びソースとウェルまたは基板間のブレイクダウン電圧とが印加される高電圧より大きくなければならない。高電圧用半導体素子としては、一般に、PNダイオードを内装したDMOSが用いられているが、これはドレイン領域を二重の不純物拡散領域として形成してトランジスタのパンチスルー電圧とブレイクダウン電圧を高め、ソースとドレイン領域との間にPNダイオードを形成してトランジスタのオフ時の過電圧によって素子が破壊される現象を防止するようにしている。

30

45

20

(3)

特開2002-329860

3

4

12とはそれらの上側でオーバーラップされ、ソース領域14とは一定距離離れているように形成されている。前記ゲート酸化膜15を貫通して前記ドレイン領域13及びソース領域14にそれぞれ接続されるドレインコンタクト17及びコンタクト18を含めてからなる。

【0005】図2は従来の二重拡散ドレイン構造の高電圧トランジスタ構造を示す図であって、p型基板21上にゲート酸化膜25を形成し、その上の所定部分にゲート電極26を形成するとともにその両側にドレイン電極27とソース電極28が配置されている。基板内部にはゲート電極26の下にゲート酸化膜25を貫通してドレイン領域23と接触しており、ソース電極28は同様にゲート酸化膜25を貫通してソース領域24に接続されている。

【0006】しかしながら、前記のような従来の高電圧素子では耐電圧特性を向上させるために、ゲート電極エッジと高濃度のソース/ドレイン領域間の距離すなわち、ドリフト領域の横方向の長さを増加させなければならない。このように、ドリフト領域の長さを長くすると高電圧素子のサイズが大きくなるとともに、従って集積度が低下するという問題があった。

【0007】

【発明が解決しようとする課題】本発明は、上記従来技術の問題点を解決するためのもので、耐電圧特性を向上させるとともに素子のサイズを小さくして集積度を向上させるのに適した高電圧素子及びその製造方法を提供することが目的である。

【0008】

【課題を解決するための手段】上記目的を達成するための本発明による高電圧素子は、表面から下に所定の深さに垂直な側面を有する第1領域と第1領域の両側にその底面の位置より高い位置にある第2、3領域を有する基板と、前記第1領域の垂直な側面の第2、第3領域より下の基板に第1領域に沿って形成されるチャネル領域と、前記垂直な側面を含む第1領域の内面に形成される第1絶縁膜と、前記第1領域の両側の側面に分離させて形成したバッファ用導電膜と、前記バッファ用導電膜の間にリセス部分を備えるように形成された第2絶縁膜と、リセス部内面に形成された第3絶縁膜によって絶縁されてリセス部分を隔たすとともにバッファ用導電膜と一部オーバーラップされて形成されたゲート電極と、前記第2、3領域に第1深さで各々形成されるドリフト領域と、前記第2、3領域に第1深さより浅い第2深さか

らなるソース/ドレインを含むことを特徴とする。

【0009】また、本発明方法は、半導体基板にドリフト領域を形成するステップと、前記ドリフト領域内にソース/ドレインイオン注入領域を形成するステップと、前記半導体基板の一領域に前記ドリフト領域より深いトレンチを形成するステップと、トレンチを含む基板全表面に第1絶縁膜を形成し、その上に第1導電膜を形成するステップと、前記第1導電膜を選択的に除去して前記トレンチの両側面に分離されたバッファ用導電膜を形成するステップと、前記トレンチの底の部分に所定厚さの第2絶縁膜を形成するステップと、前記バッファ用導電膜を含む基板全表面に第3絶縁膜を形成し、その上に第2導電膜を形成するステップと、前記第2導電膜と前記第3絶縁膜を選択的に除去して前記トレンチ上部及びその両側のバッファ用導電膜上にゲート電極を形成するステップとからなることを特徴とする。

【0010】

【発明の実施の形態】以下、添付の図面を参照して本発明を更に詳細に説明する。図3aないし図3pは本発明の実施形態による高電圧素子の製造工程の断面図である。本発明による高電圧素子の構造を製造工程の最後の工程を示す図3pに従って説明する。ドリフトイオンが注入されたドリフト領域32とソース/ドレインイオンを注入させたソース/ドレインイオン注入領域33を形成させた半導体基板31のゲート電極を形成させる箇所にトレンチ35を形成させる。このトレンチは両側面が垂直である。このトレンチの箇所が第1領域である。第2、第3領域がトレンチ外のドリフト領域32とソース/ドレインイオン注入領域33である。ドリフト領域32はソース/ドレインイオン注入領域33より深く形成させ、トレンチ35はドリフト領域32よりさらに深く掘り下げる。そのトレンチの底面とドリフト領域32から下の垂直な側面に沿ってチャネル領域36が形成されている。トレンチ35の内面には第1酸化膜37が形成されている。この第1酸化膜37が形成されたトレンチ35の両側面側にはバッファ用導電膜としてのバッファポリシリコン膜38aが形成されるとともにその双方の膜38aの間の下側に第2酸化膜40aが形成されている。第2酸化膜40aをトレンチの下の部分にだけ形成させたので、膜38aと酸化膜40aとによってトレンチ内にリセス部が形成されている。そのリセス部内に第3酸化膜41を介してゲート電極42aが形成されている。このゲート電極42aはトレンチ35内だけでなく、図示のようにバッファポリシリコン膜38aの上にも広がるように形成されている。すなわちT字型に形成されている。第3酸化膜41はゲート電極42aをバッファポリシリコン膜38aから絶縁させるためのものである。ゲート電極42aを覆うように基板全面に層間絶縁膜44aが形成され、その層間絶縁膜44aを貫通してソース/ドレインイオン注入領域33とゲート電極4

(4)

特開2002-329860

5

2aにそれぞれ接続されるドレインコンタクト46a、ゲートコンタクト46b、ソースコンタクト46cが形成されている。ここで、第2酸化膜40aの厚さはゲート電極42aに印加される高電圧に対する耐電圧特性を有するように十分に厚く形成されている。

【0011】以下本発明実施形態による高電圧素子の製造方法を示す。なお、図は1トランジスタの領域のみを示す。図3aに示すように、半導体基板31に低濃度n型(n-)の不純物イオンを第1深さで注入してドリフトイオン注入領域となるドリフト領域32を形成し、ドリフト領域32が形成された半導体基板31に高濃度n型(n+)の不純物イオンを第1深さより浅い第2深さで注入してソース/ドレインイオン注入領域33を形成する。このとき、高濃度n型の不純物イオン濃度はドレインエンジニアリングが実施されるときに希望する高電圧に合わせる。

【0012】図3bに示すように半導体基板31上に第1フォトリソスト34を塗布し、露光及び現像工程に半導体基板31の一領域が露出されるように第1フォトリソスト34をパターニングする。そのパターニングされた第1フォトリソスト34をマスクとして第1深さより深い第3深さに、すなわちドリフト領域32より深く半導体基板31を除去してトレンチ35を形成した後第1フォトリソスト34を除去する。トレンチを形成させた後、図3cに示すように、全面にチャネルイオンを注入してトレンチ35のドリフト領域32より下側の側面と底面にチャネル領域36を形成する。この時トレンチ35の底面だけでなく側面にもチャネルイオンが均等に注入されるようにチルトイオン注入工程を行う。

【0013】次に、図3dに示すように、トレンチ35を含む半導体基板31の全面に第1酸化膜37を堆積させる。この第1酸化膜37はトレンチ35の底面と側面でゲート酸化膜の役割を果たす。

【0014】ゲート酸化膜となる第1酸化膜37を形成させた後、図3eに示すように、トレンチ35が形成されている半導体基板31の全面に第1ポリシリコン膜38を堆積させる。この第1ポリシリコン膜38はトレンチ35を完全に埋めるように十分に厚く形成する。

【0015】次に図3fに示すように、エッチバック工程でトレンチ35内部にだけ残るように第1ポリシリコン膜38を平坦化させる。

【0016】このように平坦化させた半導体基板31の全面に、図3gに示すように、第2フォトリソスト39を塗布し露光及び現像工程でトレンチ35の中央部分で第1ポリシリコン膜38が露出されるように第2フォトリソスト39をパターニングする。すなわち、第1ポリシリコン膜38のトレンチ35の両脇に形成された部分が第2フォトリソスト39によってマスクされるように、第2フォトリソスト39をパターニングする。また、パターニングされた第2フォトリソスト39はマス

5

クを用いたエッチング工程で第1ポリシリコン膜38を選択的に除去してトレンチ35の両側面にバッファポリシリコン膜38aを形成する。

【0017】バッファポリシリコン膜形成工程の終了後、図3hに示すように、第2フォトリソスト39を除去し、トレンチ35の両側面に形成されたバッファポリシリコン膜38a間を絶縁させると共にチャネル酸化膜としての役割を果たす絶縁膜を形成させるために、トレンチ35を含む半導体基板31の全面に第2酸化膜40を蒸着する。

【0018】第2酸化膜を全面に形成させた後、図3iに示すように、エッチバック工程でトレンチ35の下側の部分にだけ残るように、第2酸化膜40を選択的に除去する。この時、トレンチ35の下側に残存する第2酸化膜40aの厚さは後に形成されるゲート電極に印加される電圧に対して十分な耐電圧特性を有するように十分に厚く形成する。

【0019】次に図3j及び図3kに示すように半導体基板31の全表面上に第3酸化膜41を成膜した後トレンチ35内を含む半導体基板31の全面に第2ポリシリコン膜42を堆積させる。

【0020】次に図3lに示すように第2ポリシリコン膜42上に第3フォトリソスト43を塗布し、露光及び現像工程で第3フォトリソスト43を選択的にパターニングする。その際、バッファポリシリコン膜38a間に形成された第2ポリシリコン膜42とその両脇の部分に残るようにする。すなわち、左右のバッファポリシリコン膜38aのそれぞれのほぼ中央部の間に残るようにする。そのようにパターニングされた第3フォトリソスト43をマスクとして第2ポリシリコン膜42を選択的に除去してゲート電極42aを形成し、第3フォトリソスト43を除去する。

【0021】ゲート電極42aを形成させた後、図3m及び図3nに示すように、半導体基板31の全面に層間絶縁膜44を形成する。そして、ソース/ドレインイオン注入領域33とゲート電極42aの上部表面が露出されるように層間絶縁膜44を選択的に除去してコンタクトホール45を形成する。層間絶縁膜44はBPSG膜(Boron Phosphorus Silicate Glass)を用いて形成する。

【0022】その後、図3oに示すように、コンタクトホール45を含む全面に金属膜を蒸着した後、その金属膜上に第4フォトリソスト47を塗布する。露光及び現像工程で3箇所のコンタクトホール45の箇所にその幅よりわずかに広い幅で残るように第4フォトリソスト47を選択的にパターニングし、これをマスクとして金属膜を選択的に除去して、互いに分離されたドレインコンタクト46a、ゲートコンタクト46b、ソースコンタクト46cを形成する。

【0023】次に図3pに示すように、第4フォトリソ

(5)

特開2002-329860

7

8

スト47を除去して本発明による高電圧素子を完成する。本発明による高電圧素子はゲート電極42aに高い電圧が印加されてもバッファポリシリコン膜38aがこれを分割して緩衝させる役割を果たす。

【0024】

【発明の効果】以上説明したように、本発明の高電圧素子及びその製造方法によると、次のような効果がある。第一、バッファ用ポリシリコン膜がゲート電極に印加される高電圧に対する緩衝の役割を果たして高電圧素子の耐電圧特性を向上できるので十分に大きい高圧下でも動作できる。第二、耐電圧特性に優れた高電圧素子を簡単な工程で製造できる。

【図面の簡単な説明】

【図1】従来の第1実施形態による高電圧素子の断面図である。

【図2】従来の第2実施形態による高電圧素子の断面図である。

【図3aないし3c】本発明の第1実施形態による高電圧素子の製造工程の断面図である。

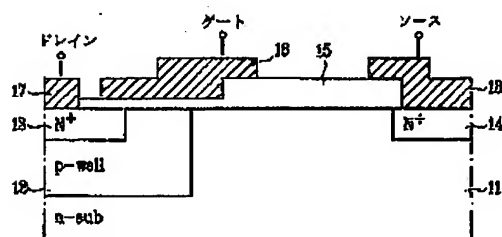
【符号の説明】

31 半導体基板

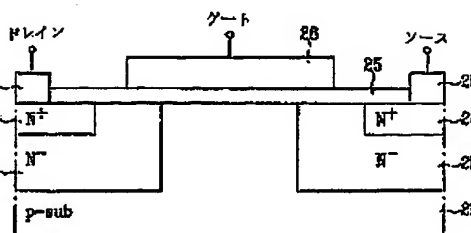
- * 32 ドリフト領域
- 33 ソース/ドレインイオン注入領域
- 34 第1フォトレジスト
- 35 トレンチ
- 36 チャンネル領域
- 37 第1酸化膜
- 38 第1ポリシリコン膜
- 38a バッファポリシリコン膜
- 39 第2フォトレジスト
- 40、40a 第2酸化膜
- 41 第3酸化膜
- 42 第2ポリシリコン膜
- 42a ゲート電極
- 43 第3フォトレジスト
- 44 層間絶縁膜
- 45 コンタクトホール
- 46a ドレインコンタクト
- 46b ゲートコンタクト
- 46c ソースコンタクト
- 47 第4フォトレジスト

20 *

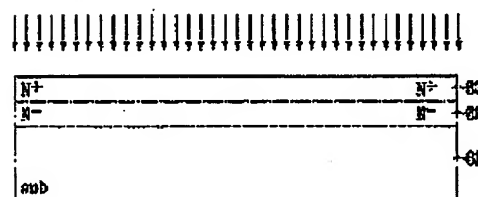
【図1】



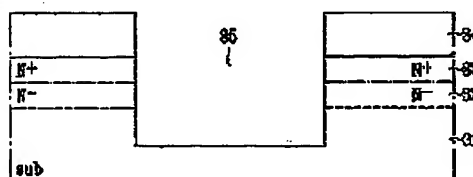
【図2】



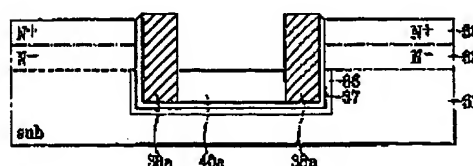
【図3a】



【図3b】



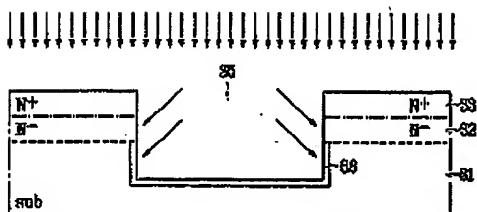
【図3c】



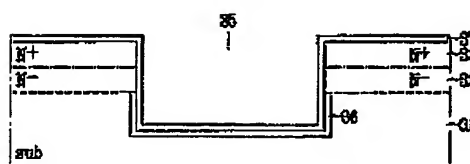
(5)

特開2002-329860

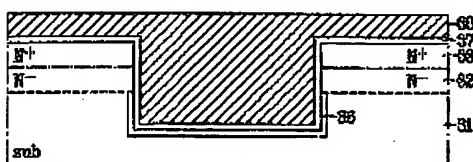
【図3c】



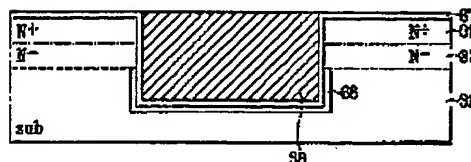
【図3d】



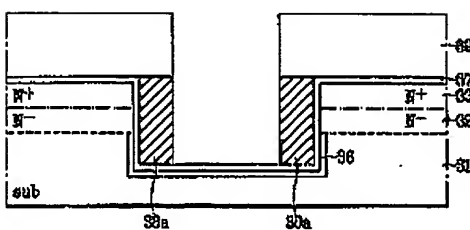
【図3e】



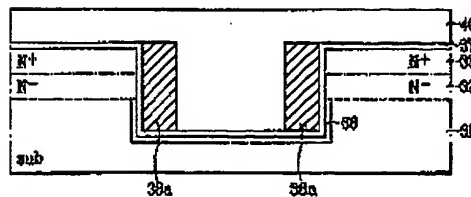
【図3f】



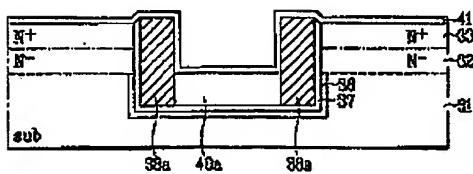
【図3g】



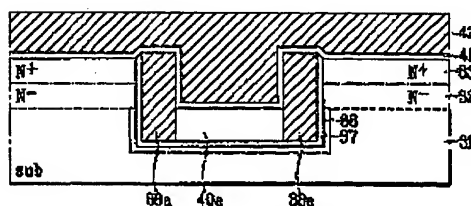
【図3h】



【図3j】



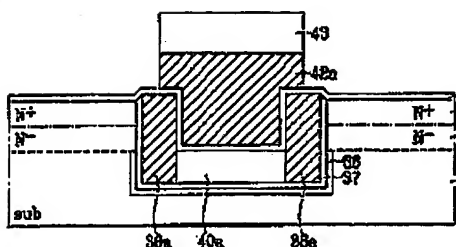
【図3k】



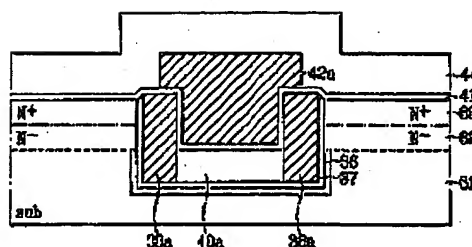
(7)

特開2002-329860

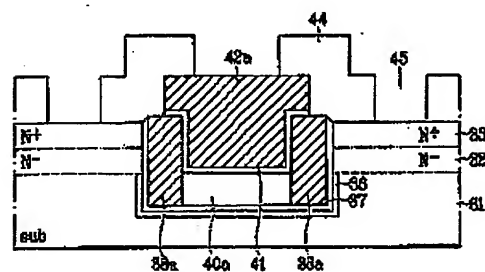
【図3 l】



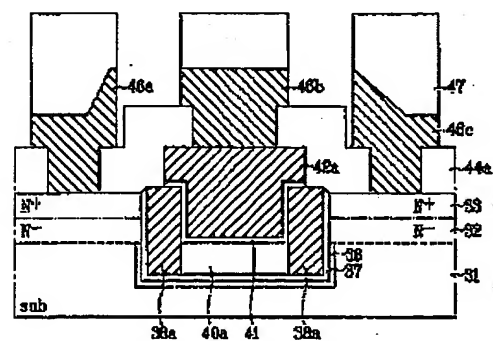
【図3 m】



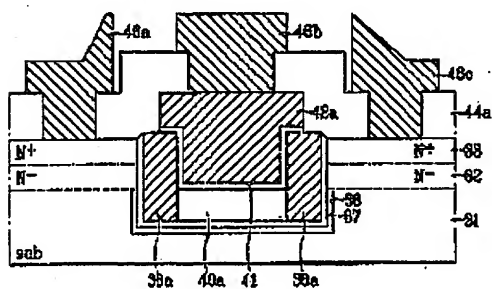
【図3 n】



【図3 o】



【図3 p】



フロントページの続き

Fターム(参考) 5F14G AA25 BB04 BB06 BC07 BC15
 BE09 BF01 BF04 BF43 BF44
 BF46 BH15 BK13 BK23 CC07
 CE06

THIS PAGE BLANK (USPTO)